

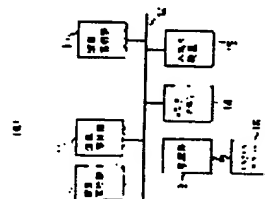
(11)Publication number : 64-023342
(43)Date of publication of application : 26.01.1989

G06F 9/46
G06F 15/16

(72)Inventor : KAWAHARA NAOHISA

(57)Abstract:

The block diagram illustrates the system architecture. It features a central 'Proposed System' block. To its left is a 'Data Source' block, and to its right is a 'Data Sink' block. Above the 'Proposed System' block is a 'Data Store' block. The 'Data Source' block is connected to the 'Proposed System' block via a line labeled 'Data'. The 'Proposed System' block is connected to the 'Data Sink' block via a line labeled 'Data'. The 'Data Store' block is connected to the 'Proposed System' block via a line labeled 'Data'.



[Date of request for examination]
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number].
[Date of registration].
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭64-23342

⑬ Int. Cl.

G 06 F 9/46
15/16

識別記号

3 7 0

庁内整理番号

Z-7056-5B
Z-6745-5B

⑭ 公開 昭和64年(1989)1月26日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 プログラマブル制御装置

⑯ 特 願 昭62-180285

⑰ 出 願 昭62(1987)7月20日

⑱ 発 明 者 川 原 直 久 兵庫県神戸市兵庫区和田崎町1丁目1番2号 三菱電機株式会社制御製作所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

プログラマブル制御装置

2. 特許請求の範囲

機能単位に分割モジュール化された複数の制御プログラムを実行処理する1ないし複数の演算実行部を有するプログラマブル制御装置において、上記1ないし複数の演算実行部における上記制御プログラムの配置および管理を行なう管理部をそなえとともに、上記1ないし複数の演算実行部が、それぞれ、上記制御プログラムの演算制御情報を記憶し上記管理部からアクセス可能な演算制御記憶部と、同演算制御記憶部から読み出した上記制御プログラムの演算制御情報を実行する演算制御部とをそなえていることを特徴とするプログラマブル制御装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、制御プログラムを機能単位に分割モジュール化して実行するプログラマブル制御装

置に関するものである。

〔従来の技術〕

第3図は例えば電気学会研究会資料：産業電力応用研究会IA-83-8「プラント用高機能プログラマブルコントロールシステム」(赤崎一郎、小川輝雄：1983年11月29日/電気学会発行)に記載された従来のプログラマブル制御装置のモジュール化プログラム処理方式の一例を示す説明図であり、第3図に示すように、ユーザプログラムは、一般に機能別にファンクションと呼ばれるモジュールに分割されている。

第3図において、1は電源投入時等に起動する特殊ファンクション、2は高速割込みファンクション、3は低速割込みファンクションで、これらの割込みファンクション2、3はプロセス等から割込みが生じた時に起動するものである。また、4は高速スキャンファンクション、5は低速スキャンファンクションで、これらのスキャンファンクション4、5は周期的に起動するものである。さらに、6は空き時間のみに起動するバッチファ

ンクション、7はサブルーチンファンクションで標準的なプログラムモジュールである。

次に、従来のプログラマブル制御装置の動作つまり同装置によるモジュール化プログラムの処理手順について説明する。システム内で処理されるユーザプログラムは、上述したように機能別にファンクションと呼ばれるプログラムモジュールとしてメンテナンスツール等で作成される。

このファンクションは、システムを考慮して処理手順に従って、ファンクション№1から順に作成されている。また、高速スキヤンファンクション4、低速スキヤンファンクション5や高速割込みファンクション2、低速割込みファンクション3も予め決定されている。メンテナンスツールで作成されたファンクションは演算処理部に送られ、データやプロセス情報によって実行される。

その実行手順は、まず、システム起動時にはイニシャルルーチンである特殊ファンクション1を処理し、その後、パッチファンクション6をファンクション№1から順次処理する。また、周期的

に高速スキヤンファンクション4、低速スキヤンファンクション5が、さらに、プロセスからの要求により高速割込みファンクション2、低速割込みファンクション3が起動される。その他、サブルーチンファンクション7はプログラムによつて起動され処理される。

〔発明が解決しようとする問題点〕

従来のプログラマブル制御装置によるモジュール化プログラムの処理手順は以上のように行なわれるので、この制御装置では、一旦、システムを構築すると、制御対象プロセスの状態によらず規定された処理を実行するのみで、不要な処理を実行するなどプロセスの処理に無駄が生じるといふ問題点があつた。

この発明は上記のような問題点を解消するためになされたもので、プログラムモジュール群の接続情報や実行管理情報等の演算制御情報をオペレータの設定もしくはプロセス情報によつてダイナミックに変更できるようなマルチプロセスシステムにして、必要な制御のみを効率的に処理でき

るようにしたプログラマブル制御装置を得ることを目的とする。

〔問題点を解決するための手段〕

この発明に係るプログラマブル制御装置は、機能単位に分割モジュール化された複数の制御プログラムを実行処理する1ないし複数の演算実行部を有し、これらの1ないし複数の演算実行部における上記制御プログラム(プログラムモジュール)の配置および管理を行なう管理部をそなえとともに、上記1ないし複数の演算実行部が、それぞれ、上記制御プログラムの演算制御情報を記憶し上記管理部からアクセス可能な演算制御記憶部と、同演算制御記憶部から読み出した上記制御プログラムの演算制御情報を実行する演算制御部とをそなえたものである。

〔作 用〕

この発明におけるプログラマブル制御装置では、1ないし複数の演算実行部における演算制御記憶部に記憶された制御プログラム(プログラムモジュール)の演算制御情報が、オペレータの設定も

しくはプロセス情報に基づいて、管理部から書き換えられるので、モジュール接続情報や実行管理情報等の演算制御情報がダイナミックに変更されるようになり、分割されたプログラムモジュールが、上記1ないし複数の演算実行部にプロセス状態に応じて最適配置される。

〔発明の実施例〕

以下、この発明の一実施例を図について説明する。第1図(a)は本実施例のプログラマブル制御装置を示す構成図であり、第1図(a)において、11は機能単位に分割モジュール化された複数の制御プログラム(以下、プログラムモジュールという)を実行処理する複数の演算実行部、12は、各演算実行部11および後述する各構成要素をつなぐシステムバス、13は各演算実行部11におけるプログラムモジュールの配置および管理を行なう管理部、14はデータメモリ、15は入出力装置、16は管理部13に接続されたメンテナンスツールである。

また、第1図(b)は各演算実行部11の詳細を

示すブロック図であり、第1図(b)において、31はプログラムモジュールの演算制御情報(モジュール接続情報や実行管理情報等)を記憶する演算制御記憶部で、後述の演算制御部32およびシステムバス12に接続されたデュアルポートメモリとして構成されており、演算制御部32(内部)とシステムバス12(外部)を介した管理部13とからアクセス可能となつている。32は演算制御記憶部31から読み出したプログラムモジュールの演算制御情報を実行する演算制御部、33はこの演算制御部32から起動がかかると指示されたプログラムモジュールの内容をプログラムメモリ34から読み出して演算実行する演算処理部、35は演算制御記憶部31に接続され外部(管理部13)からのアクセスが自カードによるものかどうかを識別するカード一致識別回路である。次に、本実施例の装置の動作について説明する。演算実行が開始される前に、まず、管理部13から複数グループから成るプログラムモジュール群が、各演算実行部11内部のプログラムメモリ

34に格納されるとともに、格納されたプログラムモジュール群の演算制御情報が、各演算実行部11内部の演算制御記憶部31に格納される。

そして、管理部13から演算実行要求がかかると、演算制御部32は、まず演算制御記憶部31内のアドレス0の内容を読み出す。演算制御記憶部31内の各々のアドレスには次に起動されるタスクナンバーが、第2図(a)に示すように格納されている。アドレス0の内容を読み出した演算制御部32は、タスクT₁の起動を演算処理部33に指示し、この演算処理部33は、プログラムメモリ34内のタスクT₁を実行処理する。

タスクT₁実行終了後、演算制御部32は、演算制御記憶部31のアドレスを順次インクリメントしてその内容を読み出し、収められているタスクを順次起動する。例えば、第2図(a)の場合、タスクT₁、T₂、T₃が順次起動され、リターン信号RTNでアドレスは0に戻り、1グループの実行処理が終了する。

このとき、オペレータの設定もしくはプロセス

情報等で、演算制御記憶部31に記憶されたプログラムモジュールの演算制御情報つまりタスク実行スケジュールをダイナミックに変更する場合、管理部13が、所定の演算実行部11内における演算制御記憶部31のタスク実行スケジュールを変更する。ただし、タスク実行スケジュールが変更されると困るような時には、演算制御部32がアクセス禁止信号を演算制御記憶部31へ出力して、その間の管理部13からのアクセスを待たせる。

例えば、演算制御記憶部31の内容が、管理部13からのアクセスにより第2図(a)に示す内容から第2図(b)に示す内容に変更されたとすると、演算制御部32は、タスクT₁、T₂、T₃を順次起動するようになる。このようにして、各プログラムモジュール群の接続情報や実行管理情報はダイナミックに変更される。

このように、本実施例の装置によれば、複数の演算実行部11における演算制御記憶部31に記憶されたプログラムモジュールの演算制御情報

(タスク実行スケジュール)が、オペレータの設定もしくはプロセス情報に基づいて管理部13から書き換えられるので、モジュール接続情報や実行管理情報がダイナミックに変更されるようになり、分割されたプログラムモジュールが、演算実行部11にプロセス状態に応じて最適配置される。従つて、必要な制御のみを実行させプロセッサの能力を効率よく最大限に引き出せるのである。

なお、上記実施例では、タスクの起動は管理部13からのみなされるものとしたが、演算実行部11内にタイマ等の時間を管理するハードウェアを設け、同ハードウェアにより起動を周期的に行なつてもよく、これによりサイクリック実行についても、プログラムモジュール群の接続情報や実行管理情報等の演算制御情報をダイナミックに変更させることができる。

【発明の効果】

以上のように、この発明によれば、1ないし複数の演算実行部における各演算制御記憶部に記憶された制御プログラムの演算制御情報が、管理

部からのアクセスにより書き換えられるように構成したので、オペレータの設定もしくはプロセス情報に基づいてモジュール接続情報や実行管理情報等の上記演算制御情報がダイナミックに変更されるようになり、分割されたプログラムモジュールがプロセス状態に応じて最適配置されて、必要な制御のみを実行させプロセッサの能力を効率よく最大限に引き出せる効果がある。

4. 図面の簡単な説明

第1図(a)はこの発明の一実施例によるプログラマブル制御装置を示す構成図、第1図(b)は上記実施例装置における各演算実行部の詳細を示すブロック図、第2図(a)、(b)はいずれも上記実施例装置の演算制御記憶部の記憶内容例を示す図、第3図は従来のプログラマブル制御装置のモジュール化プログラム処理方式の一例を示す説明図である。

図において、11—演算実行部、13—管理部、31—演算制御記憶部、32—演算制御部。

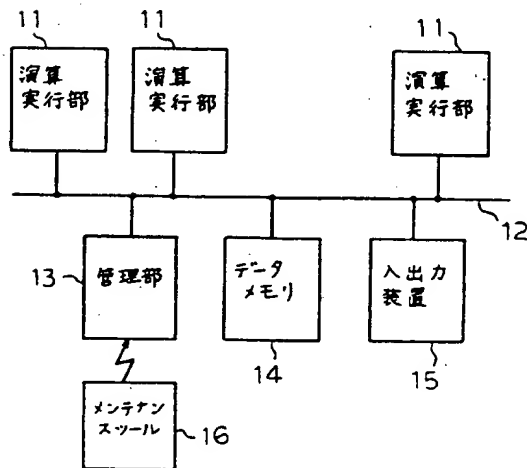
なお、図中、同一の符号は同一、又は相当部分

を示している。

代理人 大 岩 増 雄

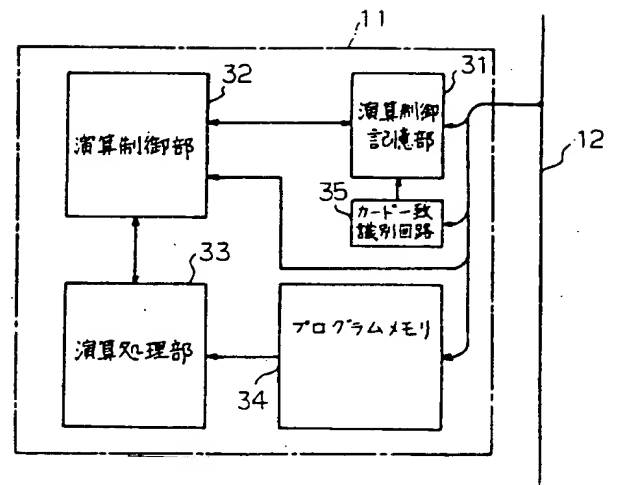
第 1 図

(a)

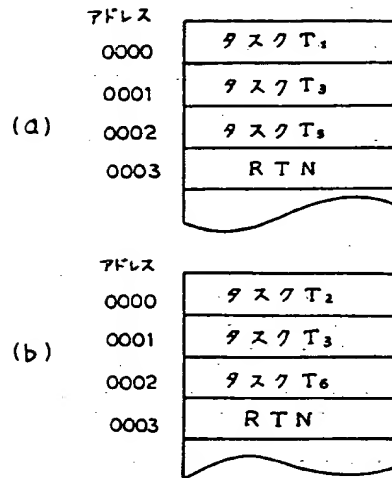


第 1 図

(b)



第 2 図



第 3 図

